



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11312085 A**(43) Date of publication of application: **09.11.99**

(51) Int. Cl.

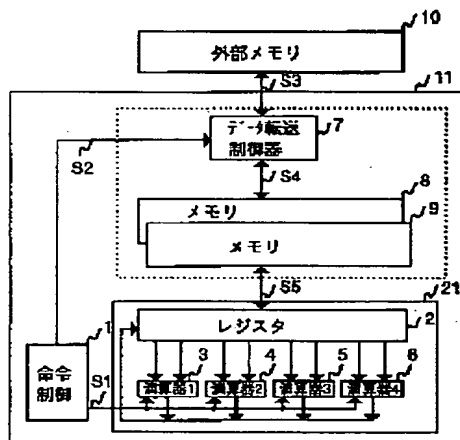
**G06F 9/38****G06F 9/38****G06F 12/08**(21) Application number: **10117659**(22) Date of filing: **28.04.98**(71) Applicant: **HITACHI LTD**(72) Inventor:  
**WATANABE HIROMI**  
**YAMADA HIROSHI**  
**HATAE HIROSHI**(54) **PROCESSOR**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To efficiently execute an SIMD(single instruction multiple data) type arithmetic operation.

**SOLUTION:** Two-face incorporated memories 8 and 9 are provided between an SIMD type arithmetic part 21 and an outside memory 10. While one incorporated memory is connected with the SIMD type arithmetic part so that an arithmetic operation can be executed, the other incorporated memory is connected through a data transfer controller 7 with the outside memory 10 so that pack data necessary for the next arithmetic operation can be read from the outside memory 10, or pack data being an arithmetic result obtained by the arithmetic operation which is already executed by the SIMD type arithmetic part 21 can be written in the outside memory 10 by an instruction controller 1.

COPYRIGHT: (C)1999,JPO



(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-312085

(43)公開日 平成11年(1999)11月9日

(51)Int.Cl.<sup>6</sup>

G 0 6 F 9/38

12/08

識別記号

3 1 0

3 7 0

F I

G 0 6 F 9/38

12/08

3 1 0 A

3 7 0 A

G

D

B

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21)出願番号

特願平10-117659

(22)出願日

平成10年(1998)4月28日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 渡辺 浩己

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(72)発明者 山田 博

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(72)発明者 波多江 博

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(74)代理人 弁理士 高橋 明夫 (外1名)

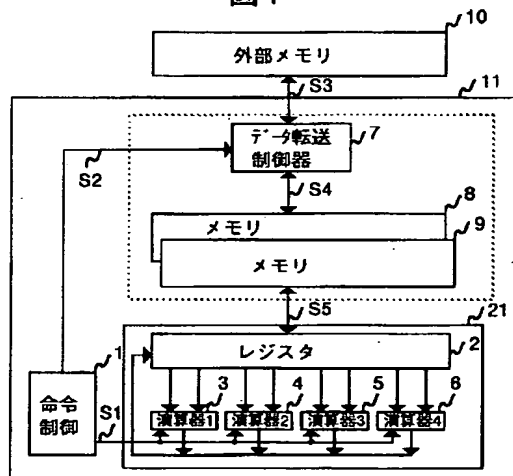
(54)【発明の名称】 プロセッサ

(57)【要約】

【課題】 従来のプロセッサでは、外部メモリからレジスタにデータを取り込む処理と、SIMD型演算を順番に行う必要がある。このため、比較的長い時間を要する外部メモリへのアクセスが頻繁に行われる場合、SIMD型演算は、外部メモリのアクセスによる時間ロスにより十分に性能が上がらない問題がある。

【解決手段】 SIMD型演算部21と外部メモリ10の間に、2面の内蔵メモリ8、9を設ける。命令制御器1により、一方の内蔵メモリがSIMD型演算部に接続されて演算が実行される間、他方の内蔵メモリは、データ転送制御器7を介して外部メモリに接続され、次の演算で必要となるバックデータを外部メモリから読み出したり、或いは、既にSIMD型演算部で実行された演算結果であるバックデータを外部メモリに書き込んだりするように動作させる。

図 1



## 【特許請求の範囲】

【請求項1】単一のプログラムカウンタで指示される単一の命令に対して、全ての並列実行演算ユニットが同期して応答し、トータルNビットの並列処理を行うSIMD型プロセッサにおいて、

2面の内蔵メモリと、

Mビット ( $M < N$ ) のバス幅で外部メモリとの間のデータの転送を行うデータ転送制御器とを設け、

一方の内蔵メモリが前記データ転送制御器を介して外部メモリに接続されている時に他方の内蔵メモリが前記並列実行演算ユニットに接続されるように、前記2つの内蔵メモリの接続先を動的に切り替え可能な構成にしたことを特徴とするプロセッサ。

【請求項2】外部メモリとのデータの転送を行うビット幅をMビットとし、

内蔵メモリとのデータ転送を行うビット幅をNビットとし、

前記データ転送制御器内に、Mビットを複数個連結してNビットのデータを単位として外部メモリとの間でデータ転送を行う回路と、Nビットのデータを分解して複数個のMビットを単位として外部メモリとの間でデータ転送を行う回路とを設けてなる請求項1に記載のプロセッサ。

【請求項3】外部メモリとのデータ交換の最小単位を8ビットとし、

外部メモリとのデータの転送を行うビット幅を8ビットのK倍となるMビットとし、

内蔵メモリとのデータ転送を行うビット幅をNビットとし、

データを外部メモリから内蔵メモリに転送する際に、Mビットから必要となる部分を8ビット単位に切り出し生成する機能と、内蔵メモリから外部メモリにデータを転送する際に、内蔵メモリからのデータを外部メモリ上の8ビット単位の所要の位置に書き込める機能とを有するバイト境界変換回路を前記転送制御器内に更に設けたことを特徴とする請求項2に記載のプロセッサ。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はプロセッサに関し、特に単一のプログラムカウンタで指示される単一の命令に対して、全ての並列実行演算ユニットが同期して応答するSIMD (Single Instruction Multiple Data) 型演算を実行する並列処理プロセッサに関する。」

【0002】

【従来の技術】最近のマイクロプロセッサでは、マルチメディア用のアーキテクチャが採り入れられている。マルチメディア用のアーキテクチャとは、基本的には、画素や音声等のデータタイプを扱い、マルチメディア用の演算命令を備えることである。マルチメディアアーキテクチャが扱う画素データタイプは、画素の色成分をワー

ド内に詰め込んだ形式を想定している。例えば、コンピュータの場合、赤 (R)、緑 (G)、青 (B) の色成分を利用して画素を表現する。

【0003】この画素データをメモリに蓄える方式として、一つのアドレスの示すワードに、R、G、Bの色成分を詰めてしまうパケットピクセル型や、同一の色成分を同一アドレスの示すワードに順番に詰めていくプレーン型等がある。いずれも、短いビット数の色成分を、同一アドレスのワードに詰め込んでいる。これを一般的に、画素データタイプあるいはパケット化データタイプと呼ぶ。以下では、画像データタイプあるいはパケット化データタイプのデータをパケットデータと呼ぶ。また、このようなパケットデータをオペランドとして扱える命令を、マルチメディア命令と呼ぶ。基本的に、各要素 (色成分) を分解することなく、要素がパケットされた状態で、一度に演算される。命令に着目すると、1つの命令で、複数の要素を含むソース及びディスティネーションオペランド1組をデータとして指定し、演算を実行する。以下これを、SIMD型演算と呼ぶ。

【0004】一般に、マルチメディア命令によるSIMD型演算を実行するプロセッサの場合、画素データ等のデータをプロセッサの外部のメモリ (以下、外部メモリと呼ぶ。) に記憶し、必要なデータが記憶されている外部メモリのアドレスを与え、プロセッサ内部のレジスタに、データを転送したり、また逆にレジスタのデータを外部メモリに記憶させたりする。

【0005】また、比較的長い時間を要する外部メモリへのアクセスを低減するために、キャッシュを設けて、処理の高速化が図られている。

【0006】なお、上述したマルチメディア命令を備えるプロセッサの従来技術に関しては、例えば、1996年5月発行の日経バイト・パソコン技術シリーズ、神保進一著による「最新マイクロプロセステクノロジ」の第196頁～第208頁に記載されている。

【0007】

【発明が解決しようとする課題】従来のマルチメディア命令によるSIMD型演算を実行するプロセッサでは、プログラムの命令により、外部メモリ上のパケットデータをレジスタに取り込み、複数の同時実行演算器によりSIMD型演算が実行される。即ち、外部メモリからレジスタにデータを取り込む処理と、SIMD型演算を順番に実行する必要がある。このため、比較的長い時間を要する外部メモリへのアクセスが頻繁に行われる場合、SIMD型演算は、外部メモリのアクセスによる時間ロスにより十分に性能が上がらないという問題がある。

【0008】また、前述したように、外部メモリへのアクセスを低減する為に、キャッシュを設ける場合がある。この場合もキャッシュ内にSIMD型演算で利用するパケットデータが存在する場合は、比較的速いアクセスでSIMD型演算を実行することが可能である。しか

し、キャッシュ内に利用すべきバックデータが無い場合（キャッシュミスヒット時）には、外部メモリへのアクセスが必要となり、結局上記の問題が生じる。

【0009】また、バック化データタイプでは、ワード単位のデータの書き込み読み出しを基本とする為に、連続した二つのバックデータに跨った複数のデータを一つのバックデータとして扱う場合には、プログラムの工夫や、命令の追加等のアーキテクチャ的な工夫を必要とする。

【0010】また、外部メモリとの間にFIFO(First-In/First-Out)メモリを利用する場合には、SIMD型演算器で利用するデータの入力順番や、出力順番を考慮する必要がある。或いは、外部メモリとの間に2ポートメモリを利用する場合には、SIMD型演算器で演算に利用しているデータ領域を破壊しないように外部メモリからデータを転送する必要があり、データを記憶する領域の管理が必要となる難点がある。

【0011】そこで、本発明の第1の目的は、SIMD型演算を効率よく実行できるプロセッサを提供することである。

【0012】また、本発明の第2の目的は、連続したバックデータに跨った複数のデータを一つのバックデータとしてプログラムの工夫や、命令の追加等のアーキテクチャ的な工夫をSIMD型演算部に付加することなく、簡単に実行できるプロセッサを提供することである。

【0013】

【課題を解決するための手段】前述した第1の目的を達成するために、本発明に係るプロセッサはSIMD型演算部と外部メモリの間に、2面の内蔵メモリを設け、一方の内蔵メモリがSIMD型演算部に接続されて演算が実行される間、他方の内蔵メモリは外部メモリに接続して次の演算で必要となるバックデータを外部メモリから読み出したり、或いは既にSIMD型演算部で実行された演算結果であるバックデータを外部メモリに書き込んだりできるように動的に切り替える手段を設けたことを特徴とするものである。

【0014】また、第2の目的を達成するために、本発明に係るプロセッサは、外部メモリから読み出したバックデータの複数を連結して1つの新たなバックデータとする回路と、SIMD型演算部で演算されたバックデータを分解し、外部メモリ記憶用のバックデータとする回路とを設ける。

【0015】この場合、さらに、外部メモリから読み出されたバックデータの複数から、必要となるデータを集め一つのバックデータとする回路と、SIMD型演算器で演算された結果であるバックデータを、外部メモリへの記憶用のバックデータとなるように新たなバックデータとし、バックデータ内のデータ毎にその書き込み制御を行えるように構成してもよい。

【0016】

【発明の実施の形態】以下、本発明に係るプロセッサを図面を参照しながらさらに詳細に説明する。なお、以下の説明において、同一参照番号は、同一もしくは類似の構成要素を示すものとする。また、第2の実施の形態以降では、第1の実施の形態との相違点を主に説明する。

【0017】＜発明の実施の形態1＞図1は、本発明に係るプロセッサの一実施の形態例を示すブロック図である。図1において、参照符号11はプロセッサを示し、このプロセッサ11は、単一の命令に対して、全ての並列実行演算器3～6が同期して応答する演算器部とレジスタ2からなるSIMD型演算部21と、SIMD型演算部21及び外部メモリ10とバックデータの交換を行うための内蔵メモリ8、9、外部メモリ10と内蔵メモリ8、9との間のバックデータの転送を行うデータ転送制御器7、SIMD型演算部21及びデータ転送制御器7に対して命令を発行する命令制御器1から構成される。本発明のプロセッサ11の特徴部分は、図1中の点線で囲まれた部分にある。

【0018】プロセッサ11の命令制御器1は、最初にSIMD型演算部21で演算に利用するバックデータを、外部メモリ10から内蔵メモリ9にバスS3及びS4を介して転送するように、信号線S2を通じてデータ転送制御器7に指示する。この指示に従って、データ転送制御器7は、外部メモリ10の指示された領域からデータを内蔵メモリ9に転送するように動作する。

【0019】次に、命令制御器1は、内蔵メモリ9をSIMD型演算部21にバスS5を介して接続すると同時に、バスS4を介して内蔵メモリ8をデータ転送制御器7に接続し、命令制御器1から信号線S2を介してデータ転送制御器7に外部メモリ10内のバックデータを内蔵メモリ8に転送する命令が発行される。これにより、データ転送制御器7は、外部メモリ10からバックデータを読み出し、内蔵メモリ8に上記バックデータを書き込むように動作する。この時、内蔵メモリ9は、SIMD型演算部21に接続されているので、命令制御器1が信号線S1を通じて発行する命令に応じて、内蔵メモリ9からレジスタ2にバックデータが転送され、並列実行演算器3～6で演算されるように動作する。また、命令制御器1から信号線S1を通じた命令により、レジスタ2にある演算結果としてのバックデータを、内蔵メモリ9に書き込むように動作する。

【0020】図2は、上記動作の概略を示すための説明図である。ブロック200の示す動作は、外部メモリ10内の領域101のバックデータと、内蔵メモリ8内のバックデータとをデータ転送制御器7で転送制御する一方、内蔵メモリ9内のバックデータはSIMD型演算部21と接続されて、命令制御器1からの命令に応じて演算及び転送制御される。

【0021】ブロック201の示す動作は、外部メモリ10内の領域102のバックデータと、内蔵メモリ9内

のバックデータとをデータ転送制御器7で転送制御する一方、内蔵メモリ8内のバックデータはSIMD型演算部21と接続されて、命令制御器1からの命令に応じて演算及び転送制御される。すなわち、上記ブロック200及び201の示す動作を、命令制御器1の命令により切り替えて動作できる点が本発明の特徴である。

【0022】＜発明の実施の形態2＞図3は、本発明に係るプロセッサの別の実施の形態例を示すブロック図である。ここでは、外部メモリ10とインターフェイスするデータバスS3の幅を16ビットとし、外部メモリ10内のバックデータも16ビット単位とする。SIMD型演算部21内の並列動作演算器3～6のそれぞれが、8ビット演算を実行するとすると、SIMD型演算部21へのバックデータとしては、32ビットとすることが好ましい。

【0023】本実施の形態例におけるデータ転送制御器7内には、外部メモリ10からバスS3を介して読み出した16ビット幅のバックデータを、バスS4を介して内蔵メモリ8あるいは内蔵メモリ9に転送する際に、2個の16ビットバックデータを連結して32ビットのバックデータ単位として転送する機能と、内蔵メモリ8あるいは内蔵メモリ9から読み出した32ビットのバックデータを分解して2個の16ビットのバックデータ単位として転送する機能とを有するデータ連結／分解部71を設ける。転送制御部72は、データ連結／分解部71と内蔵メモリ8、9との間の32ビットのバックデータ転送の制御を行う。これにより、外部メモリ10から読み出した2個の16ビットバックデータを、32ビットのバックデータとして内蔵メモリ8あるいは内蔵メモリ9に書き込むことができる。また、逆に、内蔵メモリ8あるいは内蔵メモリ9から読み出された32ビットのバックデータを外部メモリ10の2個の16ビットのバックデータに分解して記憶することも可能となる。

【0024】なお、本実施の形態例では、外部メモリ10とのインターフェイスのデータバスS3の幅を16ビットとし、内蔵メモリ8、9とのインターフェイスのデータバス幅を32ビットとして説明したが、本発明のプロセッサはこのビット幅に限定されるものではなく、任意の上記それぞれの外部メモリと内蔵メモリのビット幅に対応できることは、言うまでもない。

【0025】＜発明の実施の形態3＞図4は、本発明に係るプロセッサのまた別の実施の形態例を示すブロック図である。本実施の形態例においては、前記実施の形態2で示した図3のデータ転送制御器7内に、更に、バイト境界処理部73を設けている。ここでは、外部メモリ10とインターフェイスするデータバスS3の幅を16ビットとし、外部メモリ10内では、8ビットのデータ2つで1つのバックデータを構成すると仮定する。

【0026】外部メモリ10からバックデータを読み出す単位が、ワードの先頭から読み出して、内蔵メモリ8

または9に転送する場合、例えば図5(a)に示すように、外部メモリ10のアドレス“00004”から始まるワードの上位バイトからアドレス“0000A”から始まるワードの下位バイトまでのデータ(Data00004～Data0000B)を読み出し、同図(b)に示すように内蔵メモリ8または9のアドレス“10000”から“10007”に、読み出した上記データを転送する場合、実施の形態2で説明したような動作により読み出すことが可能である。なお、図5において、“DataXXXXX”は、外部メモリ10のアドレス“XXXXX”内のデータを示す。

【0027】しかし、外部メモリ10からバックデータを読み出す単位を、ワードの下位バイト(8ビット)にあるデータから読み出して、32ビットのバックデータとする必要がある場合、例えば図6(a)に示すように、外部メモリのアドレス“00004”から始まるワードの下位バイト(8ビット)のデータを切り出し、次の読み出されるアドレス“00006”から始まるワードの上位バイト(8ビット)と合成し16ビットにして、16ビット・32ビットのデータ加工を行うデータ連結／分解部71に入力する回路が、図4に示したバイト境界処理部73である。また、逆に、16ビット・32ビットのデータ加工を行うデータ連結／分解部71からの出力を、外部メモリ10内の16ビットのバックデータに対応するように書き込み制御する動作をバイト境界処理部73は行う。

【0028】また、このバイト境界処理部73は、図7に示すような転送に対しても、その処理を行う。すなわち、図7は、同図(a)に示した外部メモリ10のアドレス“00000”，“00002”，“00004”，…からはじまる各ワードの上位バイト(8ビット)にあるデータのみを、同図(b)に示したように内蔵メモリ8または内蔵メモリ9に転送して、32ビットのバックデータとする場合である。

【0029】バイト境界変換部73は、外部メモリ10内の16ビット幅のバックデータから任意のビット幅の部分を読み出したり、任意のビット部分にデータを埋め込んだりすることが可能である。

【0030】以上、本発明の好適な実施の形態例について説明したが、本発明は前記実施の形態例に限定されることなく、本発明の精神を逸脱しない範囲内において種々の設計変更をなし得ることは勿論である。

【0031】

【発明の効果】本発明に係るプロセッサによれば、外部メモリとの間のデータの転送と、SIMD型演算とを並列して実行することができるため、SIMD型演算器を効率よく動作させることができ、処理の高速化が図れる。

【0032】また、連続したバックデータに跨った複数のデータを一つのバックデータとするプログラムの工夫

や、命令の追加等のアーキテクチャ的な工夫をSIMD型演算部に付加することなく、データ転送制御器内で簡単に実行することができる。

【図面の簡単な説明】

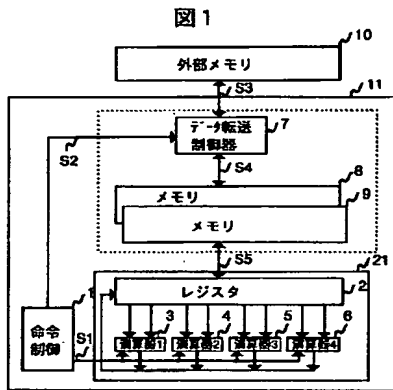
【図1】 本発明に係るプロセッサの一実施の形態例を示すブロック図である。

【図2】 図1に示した構成のプロセッサの動作の概略を示す説明図である。

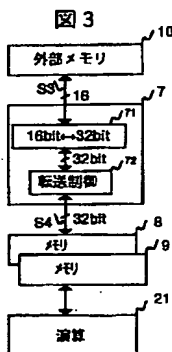
【図3】 本発明に係るプロセッサの別の実施の形態例を示すブロック図である。

【図4】 本発明に係るプロセッサのまた別の実施の形態例を示すブロック図である。

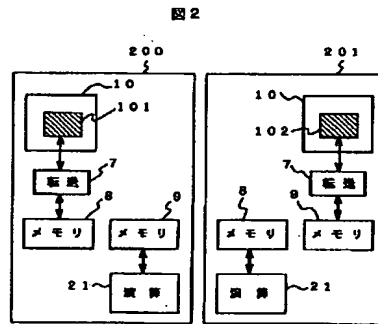
【図1】



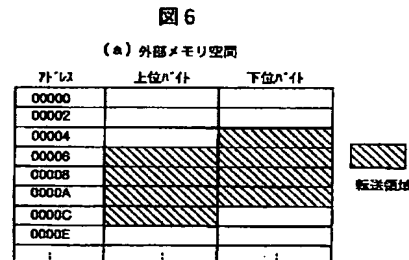
【図3】



【図2】



【図6】

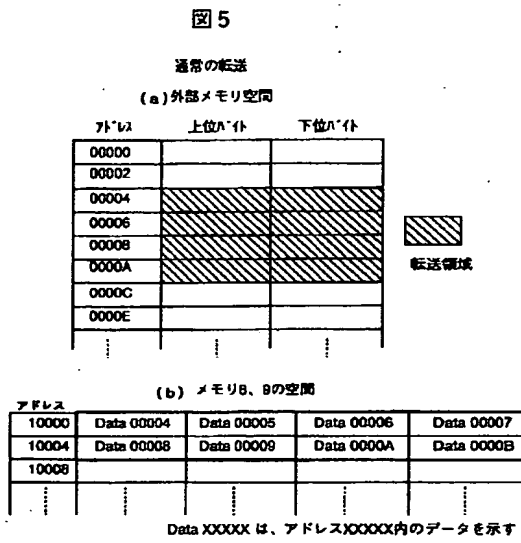


(b) メモリ8、9の空間

| アドレス  | Data 00005 | Data 00006 | Data 00007 | Data 00008 |
|-------|------------|------------|------------|------------|
| 10000 | Data 00005 | Data 00006 | Data 00007 | Data 00008 |
| 10004 | Data 00009 | Data 0000A | Data 0000B | Data 0000C |
| 10008 |            |            |            |            |

Data XXXXX は、アドレスXXXXX内のデータを示す

【図5】



【図7】

